

Recd PCT/PPI 20 APR 2005

● 10/532367

PCT/JP 03/13630

日本国特許庁
JAPAN PATENT OFFICE

24.10.05

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2002年10月24日

出願番号
Application Number: 特願2002-310146

[ST. 10/C]: [JP 2002-310146]

出願人
Applicant(s): 株式会社アドバンテスト

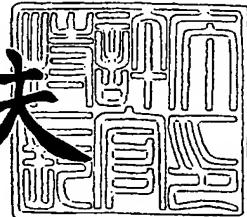
RECEIVED
12 DEC 2003
WIPO PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年11月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 ADT1406A
【提出日】 平成14年10月24日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 G01R 31/319
G01R 31/26
G01R 31/28
H03L 7/00
【発明者】
【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン
テスト内
【氏名】 大島 英幸
【特許出願人】
【識別番号】 390005175
【氏名又は名称】 株式会社アドバンテスト
【代理人】
【識別番号】 100086759
【弁理士】
【氏名又は名称】 渡辺 喜平
【手数料の表示】
【予納台帳番号】 013619
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 目標値の探索回路、目標値の探索方法及びこれを用いた半導体試験装置

【特許請求の範囲】

【請求項 1】 目標値を格納する目標値格納部と、
この目標値格納部から前記目標値を取り出すとともに、この取り出した目標値
から所定値を減じた値を仮目標値として設定する探索制御部と、

バイナリサーチにより前記仮目標値を含んだ一定領域まで探索範囲を絞り込む
バイナリサーチ実行部と、

前記絞り込まれた探索範囲内で、シーケンシャルサーチにより前記仮目標値を
起点として増加方向へ前記目標値を探索するシーケンシャルサーチ実行部とを有
した

ことを特徴とする目標値の探索回路。

【請求項 2】 目標値を格納する段階と、
前記目標値を取り出すとともに、この取り出した目標値から所定値を減じた値
を仮目標値として設定する段階と、

バイナリサーチにより前記仮目標値を含んだ一定領域まで探索範囲を絞り込む
段階と、

前記絞り込まれた探索範囲内で、シーケンシャルサーチにより前記仮目標値を
起点として増加方向へ前記目標値を探索する段階とを有した

ことを特徴とする目標値の探索方法。

【請求項 3】 基準クロック信号を発生する基準クロック発生器と、
前記基準クロック信号に同期して半導体素子に印加する試験パターン信号を出
力する試験パターン発生器と、

前記試験パターン信号を所定時間遅延させる可変遅延回路を備えたタイミング
発生器と、

前記半導体素子から出力される応答出力信号と期待値パターンとを比較する比
較器とを備えた半導体試験装置であって、

目標値を格納する格納部と、

前記試験パターン信号の遅延量測定値を求める遅延量測定部と、
前記格納部から前記目標値を取り出すとともに、この取り出した目標値から所定値を減じた値を仮目標値として算出する仮目標値算出部と、
バイナリサーチによって、前記仮目標値を含んだ一定領域まで探索範囲を絞り込むように前記可変遅延回路の遅延量設定値を与えるバイナリサーチ実行部と、
前記絞り込まれた探索範囲内で、シーケンシャルサーチにより、前記仮目標値を起点として増加方向へ前記目標値を探索するように前記可変遅延回路の遅延量設定値を与えるシーケンシャルサーチ実行部と、
前記可変遅延回路の遅延量を設定するVD設定部と、
前記仮目標値及び前記遅延量測定値を前記バイナリサーチ実行部へ送るとともに、前記バイナリサーチ実行部からの前記遅延量設定値を前記VD設定部へ送つて前記可変遅延回路の遅延量を設定させ、前記仮目標値を含んだ一定領域まで探索範囲が絞り込まれると、この絞り込みで得られた前記遅延量設定値と、前記目標値と、前記遅延量測定値とを前記シーケンシャルサーチ実行部へ送り、前記シーケンシャルサーチ実行部からの前記遅延量設定値を前記VD設定部へ送つて前記可変遅延回路の遅延量を設定させる探索制御部とを有する探索回路を備えたことを特徴とする半導体試験装置。

【請求項4】 前記仮目標値算出部が、シーケンシャルサーチの探索領域のうちの半分の領域を示す値を前記所定値として前記目標値から減じ、この減じた値を前記仮目標値として算出する

ことを特徴とする請求項3記載の半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一部に値の減少を含む昇順の数列において目標値の探索を実行する探索回路、探索方法及び半導体試験装置に関し、特に、タイミング可変遅延回路を備える半導体試験装置に好適な探索回路、探索方法及びこれを用いた半導体試験装置に関する。

【0002】

【従来の技術】

従来から、ロジックICや半導体メモリ等の各種の半導体デバイスに対し試験を行う装置として半導体試験装置が知られている。

この半導体試験装置で行われる試験としては、たとえば、機能試験（ファンクション試験）、直流特性試験（DCパラメータ試験）、交流特性試験（ACパラメータ試験）等がある。

これらのうち機能試験は、半導体デバイスの機能を保証するために行う試験であって、たとえば、図5に示すように、試験パターン発生器11からの試験パターン信号を被試験IC（以下、「DUT」（Device Under Test）という）12に与え、その出力信号と期待値パターンとを比較器13で比較して、DUT12の諸機能の良否を判断するものである。

【0003】

より具体的には、図6に示すような構成の半導体試験回路10によって、DUT12の機能試験が行われる。

同図において、複数のピンを有した1個のDUT（半導体素子）12に対する試験パターンデータが、比較器13へ送られる期待値データSとともに、予めメモリ（期待値メモリ）14に記憶されている。

【0004】

メモリ14の試験パターンデータにもとづいて試験パターン発生器11によりDUT12に与えられる試験パターン信号が、基準クロック発生器15の基準クロック信号CLKに同期して発生され、可変遅延回路DL1, SK1を有するDUT入力遅延回路（タイミング発生器）16を通って、DUT12の入力端子iに供給される。

また、基準クロック発生器15の基準クロック信号は、可変遅延回路DL2, SK2を有する比較タイミング遅延回路17を通り、ストローブ信号STRBとして、比較器13のD型フリップフロップ回路（以下、「DF/F」という）13-1のクロック端子へも供給される。

【0005】

可変遅延回路DL1, SK1, DL2, SK2は、制御部18のプログラム制

御によって、遅延量 T_{pd} が設定される。

それらのうち、可変遅延回路 DL1, DL2 は、ユーザプログラムにより DUT12 に対して時間位相を定義できる遅延回路である。

一方、可変遅延回路 SK1, SK2 は、上記 DL1 や DL2 等のハードウェアの遅延量 T_{pd} が周囲温度変化や時間経過によって変動することから、DUT12 に対する位相が所定値になるように補正する、つまりハードウェアの校正を行う。

【0006】

DUT12 の出力（応答出力信号）は、比較器 13 の DF/F13-1 に入力され、その出力は、不一致回路（Exclusive-OR 回路；Ex-OR）13-2 に入力される。ここで、メモリ 14 からの期待値データ $S = "1"$ と比較され、この比較結果が、DF/F13-3 に入力される。

この比較器 13において、DF/F13-1 の出力（C点）が“L”（又は“H”）のとき、期待値データ $S = "1"$ とは不一致（又は一致）であるので、不一致回路 13-2 の出力（E点）は“H”（又は“L”）となり、DF/F13-3 の出力（F点）は“H”（又は“L”）となって、この比較器 13 における比較の結果が Fail（フェイル）（又は Pass（パス））となる（半導体集積装置について、例えば、特許文献 1～3 参照。）。

【0007】

ところで、DUT12 の機能試験を行う場合、その DUT12 に数十から数百ある複数のピンに入力される各試験パターン信号は、それぞれ同期がとられていることが望ましい。

ところが、各試験パターン信号には、各経路の相違から、位相遅延時間すなわちタイミングの差異が生じている。

この位相遅延時間が生ずる原因である経路の相違は、その物理的条件の違い、波形整形器（試験パターン発生器 11 からの出力信号を DUT12 の回路構成にあわせて形成する部分、図示せず）内における経路の変更、各経路内に使用される半導体素子が受ける熱的影響等によって起こる。

このため、各試験パターン信号の同期のずれにより、比較器 13 における比較

結果に誤差が生じてしまい、正しい機能試験が行えなくなっていた。

そこで、この半導体試験装置10を用いて機能試験を行う場合は、イニシャライズ時に、試験パターン信号ごとに、それら試験パターン信号の同期をとるよう調整している。

【0008】

各試験パターン信号の同期をとるために行われる試験パターン信号の遅延量T_{p d}の測定には、一般に、周波数測定器などが用いられている（例えば、特許文献4～7参照。）。

なお、試験パターン信号の遅延量T_{p d}の測定は、周波数を用いて行うこと局限るものではなく、たとえば、反射波などを用いることもできる。

【0009】

その周波数測定器を用いて試験パターン信号の遅延量T_{p d}を測定し、かつ、その遅延量T_{p d}を目標値に近づけるように可変遅延回路DL1の遅延量設定値を与えていく方法は、次のように行われる。

なお、可変遅延回路DL1の可変範囲は、 $\tau(1 \sim n) = 0 \text{ n s} \sim 20 \text{ n s}$ とし、DUT入力遅延回路16における最初の遅延量設定値は、可変遅延回路DL1の可変範囲 $\tau(1 \sim n)$ の中間値 $\tau_1 = 10 \text{ n s}$ に設定されているものとする。そして、目標値は、100ナノ秒(n s)に設定されているものとする。

また、可変遅延回路DL1の遅延量設定値の推移については、図7に示す。

【0010】

まず、周波数測定器において、ループ周波数により、試験パターン信号の遅延量が測定される。

1回目の測定($\tau_1 = 10 \text{ n s}$)では、遅延量測定値が104n sであったとする。

次いで、遅延量測定値(104n s)と目標値(100n s)とが比較判断される。判断の結果、遅延量測定値が目標値を上回っているため、DUT入力遅延回路16における可変遅延回路DL1の遅延量設定値が、 $\tau_2 = \tau_1 - (\tau_1 / 2^{\wedge} 1) = 5 \text{ n s}$ のように算出される。

そして、可変遅延回路DL1の遅延量T_{p d}が、その算出された遅延量設定値

となるように設定される。

【0011】

次いで、2回目の測定では、遅延量測定値が9.9n sになったとする。

この場合、遅延量測定値が目標値を下回っているため、遅延量設定値は、 $\tau_3 = \tau_2 + (\tau_1 / 2^2) = 7.5\text{ n s}$ のように算出される。

そして、この算出された遅延量設定値が、可変遅延回路DL1の遅延量Tpdとして設定される。

【0012】

3回目の測定では、遅延量測定値が101.5n sになったとする。

この場合、遅延量測定値が目標値を上回っているため、遅延量設定値は、 $\tau_4 = \tau_3 - (\tau_1 / 2^3) = 6.25\text{ n s}$ のように算出され、可変遅延回路DL1の遅延量Tpdとして設定される。

4回目の測定では、遅延量測定値が100.25n sになったとする。

この場合も、遅延量測定値が目標値を上回っているため、遅延量設定値は、 $\tau_5 = \tau_4 - (\tau_1 / 2^4) = 5.625\text{ n s}$ のように算出され、可変遅延回路DL1の遅延量Tpdとして設定される。

【0013】

以下同様に、5回目の測定では、遅延量測定値が99.625n sになったとする。

この場合、遅延量測定値が目標値を下回っているため、遅延量設定値は、 $\tau_6 = \tau_5 - (\tau_1 / 2^5) = 5.9375\text{ n s}$ のように算出され、可変遅延回路DL1の遅延量Tpdとして設定される。

そして、6回目の測定では、遅延量測定値が99.9375n sになったとする。

この場合も、遅延量測定値が目標値を下回っているため、遅延量設定値は、 $\tau_7 = \tau_6 - (\tau_1 / 2^6) = 6.09375\text{ n s}$ のように算出され、可変遅延回路DL1の遅延量Tpdとして設定される。

【0014】

このように、i-1回目の測定で遅延量測定値が目標値を上回るかあるいは下

回るかによって、 i 回目の測定では、可変遅延回路DL1の遅延量 T_{pd} をバイナリ状に $\tau_1/2^{(i-1)}ns$ だけ減少させたりあるいは増加させたりして、遅延量測定値を目標値に近づけている。

このように遅延量測定値を目標値に向かってバイナリ状に追い込みながら測定することをバイナリサーチと呼んでいる。

【0015】

このような方法によれば、周波数測定器が、DUT12の複数のピンに入力される各試験パターン信号の入力タイミングをすべて同期させるように、各試験パターン信号の通る経路ごとに可変遅延回路DL1の遅延量 T_{pd} を与えるため、半導体試験装置10を用いて行われるDUT12の機能試験（ファンクション試験）におけるイニシャライズ時の初期調整を可能としている。

【0016】

【特許文献1】

特開平9-119963号公報

【特許文献2】

特開平9-152464号公報

【特許文献3】

特開2001-296332号公報

【特許文献4】

特開平7-113829号公報

【特許文献5】

特開平8-062308号公報

【特許文献6】

特開平9-033619号公報

【特許文献7】

特開平11-248805号公報

【0017】

【発明が解決しようとする課題】

しかしながら、DUT入力遅延回路16の可変遅延回路DL1は、たとえば、

I Cの周囲温度やI Cに加えられた電源電圧の変化、I Cの製造ばらつき、自己発熱量の変動などにより遅延量T_{p d}が変動し、この変動により、図8に示すように、1 CLK分周期毎に不連続点が発生していた。

そして、この不連続点を含んだ遅延量T_{p d}は、言い換えれば一部に減少を含んだ昇順の数列であることから、純粋な昇順の数列を探索対象とするバイナリサーチのみによって目標値を探索することは、試験パターン信号の遅延量T_{p d}の測定には、必ずしも適切であるとは言えなかった。

この場合、バイナリサーチで探索しきれない部分については、シーケンシャルサーチで補うようにすることが考えられる。

【0018】

シーケンシャルサーチは、目標値と一致する値を、配列の端から順番に調べていくものであるため、配列の要素が多くなるにつれて探索に時間がかかるもの、配列が昇順あるいは降順に整列されている必要がない。

これに対して、バイナリサーチは、配列の中央の値（中央値）と探索したい値（目標値）との比較を行い、各値が等しくない場合は、配列の前半（あるいは後半）を削除して残りの後半（あるいは前半）部分の中央値と目標値とを比較し、それら中央値と目標値とが一致するまで、各値の比較と配列の半減とを繰り返し行うものである。このため、バイナリサーチは、探索時間を短縮できるものの、その配列が昇順あるいは降順に整列されていることが条件となる。

【0019】

そして、従来の半導体試験装置における試験パターン信号の遅延量T_{p d}は、一部に減少を含む昇順配列の波形（鋸歯状の波形）であるため、バイナリサーチによって探索範囲をできるだけ絞り込み、この絞り込んだ探索範囲内でシーケンシャルサーチにより目標値を探索することにより、測定精度を低下させることなく、探索時間の短縮を図ることは可能である。

つまり、バイナリサーチによる探索時間の短縮と、シーケンシャルサーチによる測定精度の低下防止との両立が実現可能となる。

【0020】

具体的には、たとえば、図9に示すように、バイナリサーチにより、同じ傾き

が連続する遅延量 T_{pd} の中程付近あるいはそれより大きいところ（バイナリサーチの結果を中心とするシーケンシャルサーチの探索範囲のうち、下半分の範囲内に不連続点がないとき、例えば、点A等）が探索されたとすると、その探索範囲内には不連続点が存在しないことから、この探索範囲内でシーケンシャルサーチにより正常に目標値を探索できる。

【0021】

ところが、このようにバイナリサーチとシーケンシャルサーチとを併用しても、正常に目標値の探索ができない場合があった。

たとえば、バイナリサーチの結果が、遅延量 T_{pd} の不連続点に近いところにある場合（鋸歯状波形の谷間付近など、例えば、同図の点B等）は、増加方向へのシーケンシャルサーチは可能であるものの、減少方向へのシーケンシャルサーチを行うと、不連続点にさしかかった時点で目標値より大きい値をふたたびサーチしていた。このため、目標値を見つけるまでに探索範囲内のサーチが終了してしまい、正常に目標値を探索できないという問題があった。

【0022】

特に、バイナリサーチとシーケンシャルサーチとの組み合わせによって、従来の半導体試験装置における試験パターン信号の目標値の探索を実行する場合は、図10に示すように、それらバイナリサーチのVD遅延特性とシーケンシャルサーチのVD遅延特性との間にわずかな差異が生じることがあった。

この差異は、バイナリサーチのヒステリシスの影響により生じていた。

ここでいうヒステリシスの影響とは、前回設定されたエッジが今回設定したエッジに与える影響であって、前回と今回とのエッジの時間差の大小にもとづいて、その影響量が変わることにより、VD遅延誤差として現れることをいう。

なお、図10に示す差異は説明し易いように表したものである。実際の差異は、ランダムに現れる。ランダムになるのは、バイナリサーチの場合、前回のサイクルのエッジの位置がサーチをするたびに変わるからである。

【0023】

同図に示すような場合、バイナリサーチのVD遅延特性を表すグラフ線において目標値 E_{xp} である遅延量 $T_{pd b}$ と一致する点は、B1点及びB2点となる

が、シーケンシャルサーチのVD遅延特性を表すグラフ線において遅延量Tp d bと一致する点は、B3点のみとなる。そして、B3点は、B1点を中心とするシーケンシャルサーチの探索範囲には含まれていない。

のことから、バイナリサーチを実行してB1点が発見されると、シーケンシャルサーチを実行してもB3を見つけることができず、正常に探索できないという問題があった。

【0024】

本発明は、上記の問題を解決すべくなされたものであり、一部に値の減少を含んだ昇順の数列（たとえば、タイミングVDの設定値に対する遅延量Tp dの特性）においても、正常かつ確実な目標値Ex p（遅延量Tp d b）のサーチを可能とするとともに、バイナリサーチとシーケンシャルサーチとの併用を可能にして、探索時間の短縮と測定精度の低下防止との両立を実現する目標値の探索回路、目標値の探索方法及びこれを用いた半導体試験装置の提供を目的とする。

【0025】

【課題を解決するための手段】

この目的を達成するため、本発明の請求項1記載の目標値の探索回路は、目標値を格納する目標値格納部と、この目標値格納部から目標値を取り出すとともに、この取り出した目標値から所定値を減じた値を仮目標値として設定する探索制御部と、バイナリサーチにより仮目標値を含んだ一定領域まで探索範囲を絞り込むバイナリサーチ実行部と、絞り込まれた探索範囲内で、シーケンシャルサーチにより仮目標値を起点として増加方向へ目標値を探索するシーケンシャルサーチ実行部とを有した構成としてある。

【0026】

目標値の探索回路をこのような構成とすると、探索対象となる数列が、一部に減少を含んだ昇順の数列である場合であって、バイナリサーチの特性とシーケンシャルサーチの特性との間で微小の差異が生じるときにおいても、正常かつ確実に目標値を探索できる。

【0027】

従来の探索回路においては、バイナリサーチによって絞り込まれた探索範囲の

うち、目標値よりも小さい値を示す範囲に、鋸歯状波形の谷間が含まれており、かつバイナリサーチの特性とシーケンシャルサーチの特性との間で微小な差異が生じる場合には、シーケンシャルサーチの探索範囲内に目標値が含まれなくなり、正常にその目標値を探索できないことがあった。

【0028】

これに対して、本発明の探索回路は、所定値（たとえば、シーケンシャルサーチの探索領域のうち半分の領域を示す値）を目標値から減じて仮目標値とし、この仮目標値をバイナリサーチによって探索し、さらに、この探索で得られた仮目標値を探索開始値（起点）として、増加方向へシーケンシャルサーチを実行することとしている。

これにより、不連続点があることと、バイナリサーチの特性とシーケンシャルサーチの特性との間に差異があることによって、目標値が探索範囲から外れることを回避して、その目標値をサーチすることができる。

したがって、探索対象となる数列が、一部に減少を含んだ昇順の数列である場合や、バイナリサーチの特性とシーケンシャルサーチの特性との間で僅少な差異が生じる場合等においても、正常かつ確実に目標値を探索できる。

さらに、目標値の探索が、バイナリサーチとシーケンシャルサーチとの組み合わせによって実行されるため、測定精度の低下防止と探索時間の短縮との両立を実現できる。

【0029】

なお、本発明において「探索範囲」とは、シーケンシャルサーチによりサーチされる範囲であって、調整側におけるサーチ範囲、たとえば、図10に示す T_i $\min - VD$ 設定値における探索範囲をいう。

また、「探索領域」とは、シーケンシャルサーチによりサーチされる領域であって、被調整側におけるサーチ領域、たとえば、図10に示す遅延量 T_{pd} における探索領域をいう。

【0030】

また、請求項2記載の目標値の探索方法は、目標値を格納する段階と、目標値を取り出すとともに、この取り出した目標値から所定値を減じた値を仮目標値と

して設定する段階と、バイナリサーチにより仮目標値を含んだ一定領域まで探索範囲を絞り込む段階と、絞り込まれた探索範囲内で、シーケンシャルサーチにより仮目標値を起点として増加方向へ目標値を探索する段階とを有した構成である。

【0031】

目標値の探索方法をこのような方法とすれば、バイナリサーチによって仮目標値を含む一定領域が探索され、さらに、この一定領域内でシーケンシャルサーチにより仮目標値を起点として増加方向へ目標値の探索が実行されるため、測定精度を向上しつつ、探索時間の短縮を図ることができる。

そして、探索対象の数列が鋸歯状の波形を示す場合であって、バイナリサーチの特性とシーケンシャルサーチの特性とが異なる場合においても、目標値がシーケンシャルサーチの探索範囲内に存在しなくなるなどの不都合が生じないため、確実に目標値を探し出すことができる。

【0032】

また、請求項3記載の半導体試験装置は、基準クロック信号を発生する基準クロック発生器と、基準クロック信号に同期して半導体素子に印加する試験パターン信号を出力する試験パターン発生器と、試験パターン信号を所定時間遅延させる可変遅延回路を備えたタイミング発生器と、半導体素子から出力される応答出力信号と期待値パターンとを比較する比較器とを備えた半導体試験装置であって、目標値を格納する格納部と、試験パターン信号の遅延量測定値を求める遅延量測定部と、格納部から目標値を取り出すとともに、この取り出した目標値から所定値を減じた値を仮目標値として算出する仮目標値算出部と、バイナリサーチによって、仮目標値を含んだ一定領域まで探索範囲を絞り込むように可変遅延回路の遅延量設定値を与えるバイナリサーチ実行部と、絞り込まれた探索範囲内で、シーケンシャルサーチにより、仮目標値を起点として増加方向へ目標値を探索するように可変遅延回路の遅延量設定値を与えるシーケンシャルサーチ実行部と、可変遅延回路の遅延量を設定するVD設定部と、仮目標値及び遅延量測定値をバイナリサーチ実行部へ送るとともに、バイナリサーチ実行部からの遅延量設定値をVD設定部へ送って可変遅延回路の遅延量を設定させ、仮目標値を含んだ一定

領域まで探索範囲が絞り込まれると、この絞り込みで得られた遅延量設定値と、目標値と、遅延量測定値とをシーケンシャルサーチ実行部へ送り、シーケンシャルサーチ実行部からの遅延量設定値をVD設定部へ送って可変遅延回路の遅延量を設定させる探索制御部とを有する探索回路を備えた構成としてある。

【0033】

半導体試験装置をこのような構成とすると、バイナリサーチとシーケンシャルサーチとを組み合わせて目標値を探索するため、測定精度の向上と探索時間の短縮とを両立させることができる。

さらに、探索対象である遅延量Tp dが鋸歯状の波形を示すものであって、バイナリサーチの特性とシーケンシャルサーチの特性との間で差異が生じる場合であっても、所定値（たとえば、シーケンシャルサーチの探索領域のうち半分の領域を示す値）が目標値から減ぜられて仮目標値とされ、この仮目標値を起点としてシーケンシャルサーチが実行されるため、探索領域内に目標値を含めることができ、確実かつ正常にその目標値を探索できる。

【0034】

また、請求項4記載の半導体試験装置は、仮目標値算出部が、シーケンシャルサーチの探索領域のうちの半分の領域を示す値を所定値として目標値から減じ、この減じた値を仮目標値として算出する構成としてある。

半導体試験装置をこのような構成とすれば、探索対象である遅延量Tp dが一部に減少を含んだ昇順の特性を示すものであって、バイナリサーチの特性とシーケンシャルサーチの特性との間で差異が生じる場合であっても、シーケンシャルサーチの探索範囲内に目標値を含めることができるため、そのシーケンシャルサーチによって目標値を確実に探索できる。

【0035】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

まず、本発明の目標値の探索回路、目標値の探索方法及びこれを用いた半導体試験装置の実施形態について、図1を参照して説明する。

同図は、本実施形態の探索回路の構成を示すブロック図である。

本実施形態の探索回路は、たとえば、図2に示す半導体試験装置10の探索回路20として使用可能である。

【0036】

図1に示すように、探索回路20は、格納部21と、遅延回路出力部I/F22と、試験パターン発生器入力部I/F23と、遅延量測定部24と、バイナリサーチ実行部25と、VD設定部26と、探索制御部27と、仮目標値算出部28と、シーケンシャルサーチ実行部29とを有している。

【0037】

格納部（目標値格納部）21は、目標値 E_{xp} 、仮目標値 E_{xpB} 、シーケンシャルサーチの探索範囲 b （あるいは、探索領域 b ）を格納する。

遅延回路出力部I/F22は、DUT入力遅延回路16の出力側と接続されており、DUT入力遅延回路16から入力した試験パターン信号（遅延クロック信号）を遅延量測定部24へ送る。

試験パターン発生器入力部I/F23は、試験パターン発生器11の入力側に接続されている。これにより、試験パターン発生器11及びDUT入力遅延回路16を通る経路と、遅延回路出力部I/F22、遅延量測定部24及び試験パターン発生器入力部I/F23を通る経路とがループで結ばれる。

【0038】

遅延量測定部24は、遅延回路出力部I/F22からの試験パターン信号（遅延クロック信号）にもとづいて、この試験パターン信号の遅延量 T_{pd} を測定する。そして、測定結果である遅延量測定値を探索制御部27へ送る。

なお、試験パターン信号の遅延量 T_{pd} の測定は、ループ周波数を用いたものに限るものではなく、たとえば、反射波などを用いることもできる。

【0039】

バイナリサーチ実行部25は、探索制御部27から、仮目標値 E_{xpB} と、遅延量測定値とを受け取る。そして、探索制御部27からの実行指示にもとづいて、バイナリサーチを実行する。

このバイナリサーチ実行部25で実行されるバイナリサーチは、可変遅延回路DL1のすべての設定値をMSB (Most Significant Bit

／Byte) から LSB (Least Significant Bit／Byte) まで 1 ビットずつ仮目標値 E_{xpB} との大小比較により変化させながら、探索領域を半分ずつ減らしていき、この過程を繰り返すことによって、仮目標値 E_{xpB} を探索するように行われる。

ただし、ここでは、可変遅延回路 DL1 の設定値が二進数表示であることを前提として説明する。

【0040】

そして、バイナリサーチ実行部 25 は、仮目標値 E_{xpB} が遅延量測定値 T_{pd} より小さいときは、「可変遅延回路 DL1 の設定値（遅延量設定値、VD 設定値）=直前の VD 設定値 ÷ 対象ビット」を算出して探索結果とする。一方、仮目標値 E_{xpB} が遅延量測定値 T_{pd} より大きいときは、「VD 設定値 = 直前の VD 設定値」を算出して探索結果とする。

すなわち、バイナリサーチ実行部 25 においては、「直前の VD 設定値 - 対象ビット + 対象ビットを 1 ビット LSB 側にシフトしたビット」と「直前の VD 設定値 + 対象ビット + 対象ビットを 1 ビット LSB 側にシフトしたビット」とを繰り返して LSB まで探索した結果を探索結果としている。

【0041】

さらに、バイナリサーチ実行部 25 は、探索結果である遅延量設定値を探索制御部 27 へ送る。

そして、バイナリサーチ実行部 25 は、仮目標値 E_{xpB} を含んだ一定領域まで探索範囲 b が絞り込まれて探索が終了すると、この探索が終了した旨を示す探索終了信号を探索制御部 27 へ送る。

【0042】

VD 設定部 26 は、DUT 入力遅延回路 16 の可変遅延回路 DL1 に対して、遅延量 T_{pd} の初期値（VD 可変範囲 τ (1 ~ n) の中間値）の設定を行う。

さらに、VD 設定部 26 は、探索制御部 27 から遅延量設定値が送られてくると、その遅延量設定値に合わせるように可変遅延回路 DL1 を設定する。

【0043】

探索制御部 27 は、格納部 21 から目標値 E_{xp} と（シーケンシャルサーチの

) 探索範囲 b とを取り出し、これら目標値 $E \times p$ 及び探索範囲 b を仮目標値算出部 28 へ送る。そして、この仮目標値算出部 28 からの仮目標値 $E \times p B$ を格納部 21 へ送って格納させる。

さらに、探索制御部 27 は、格納部 21 から取り出した仮目標値 $E \times p B$ と、遅延量測定部 24 から受け取った遅延量測定値とを、バイナリサーチ実行部 25 へ送ってバイナリサーチを実行するように指示（実行指示）し、可変遅延回路 DL1 の遅延量設定値を算出させる。そして、バイナリサーチ実行部 25 からの遅延量設定値を VD 設定部 26 へ送る。

その後、バイナリサーチ実行部 25 から探索終了信号が送られてくると、探索制御部 27 は、続いて、格納部 21 から目標値 $E \times p$ 及び仮目標値 $E \times p B$ を取り出す。そして、これら目標値 $E \times p$ 及び仮目標値 $E \times p B$ と、バイナリサーチ実行部 25 で最終的に得られた遅延量設定値と、遅延量測定部 24 からの遅延量測定値とを、シーケンシャルサーチ実行部 29 へ送ってシーケンシャルサーチを実行するように指示（実行指示）し、可変遅延回路 DL1 の遅延量設定値を算出させる。さらに、シーケンシャルサーチ実行部 29 からの遅延量設定値を VD 設定部 26 へ送る。

【0044】

仮目標値算出部 28 は、探索制御部 27 から目標値 $E \times p$ と（シーケンシャルサーチの）探索範囲 b とを受け取ると、その目標値 $E \times p$ から、その探索範囲 b を示す値の半分の値を減じた値を仮目標値 $E \times p B$ として算出する。

そして、仮目標値算出部 28 は、算出した仮目標値 $E \times p B$ を探索制御部 27 へ送る。

なお、仮目標値算出部 28 の有する機能、すなわち、目標値 $E \times p$ から、シーケンシャルサーチの探索範囲 b を示す値の半分の値を減じた値を仮目標値 $E \times p B$ として算出する機能については、仮目標値算出部 28 ではなく、探索制御部 27 に備えることができる。

【0045】

シーケンシャルサーチ実行部 29 は、探索制御部 27 からの実行指示にもとづいて、シーケンシャルサーチを実行する。

このシーケンシャルサーチ実行部29で実行されるシーケンシャルサーチは、可変遅延回路D L 1に設定可能なすべての遅延量設定値を順番に測定し、目標値E x pに近い設定値を探すことにより行われる。

【0046】

こうしてバイナリサーチ実行部25におけるバイナリサーチとシーケンシャルサーチ実行部29におけるシーケンシャルサーチとを併用することにより、半導体試験装置10における目標値E x pの探索において、測定精度の向上や探索時間の短縮を図ることができる。

ただし、バイナリサーチの測定精度がヒステリシスの影響により劣化するときは、以下のような問題が起こる場合がある。

【0047】

図3に示すように、試験パターン信号の遅延量T p dが鋸歯状の特性を有している場合において、バイナリサーチの結果が、同図のA点のような平坦な場所であれば、正常にシーケンシャルサーチされる。

ところが、バイナリサーチの結果が、同図のB点のような鋸の谷間（遅延量T p dの不連続点）の場合は、上方向へのシーケンシャルサーチは正しく実行されるものの、下方向へのシーケンシャルサーチは目標値E x pより大きい場所をサーチしてしまい、正常にサーチできない。

【0048】

そこで、同図のA'点やB'点のように、バイナリサーチを実行するときの目標値E x pを、次にシーケンシャルサーチで下方向にサーチする領域分だけ小さく設定した値（仮目標値E x p B）に設定し直す。

そして、この仮目標値E x p Bを目標にしてバイナリサーチを行い、終了後は、目標値E x pを元に戻して、シーケンシャルサーチにより上方向だけをサーチする。

これにより、目標値E x pがB点のような鋸の谷間（遅延量T p dの不連続点）付近にある場合においても正常にサーチすることができる。

【0049】

次に、本実施形態の半導体試験装置の動作（探索方法）について、図4を参照

して説明する。

同図は、本実施形態の半導体試験装置における探索回路の動作を示すフローチャートである。

なお、可変遅延回路DL1の設定値は、説明の便宜上、二進数表示であること前提とする。ただし、この可変遅延回路DL1の設定値は、二進数表示に限るものではなく、たとえば、10進数表示や8進数表示などとすることもできる。

【0050】

同図に示すように、シーケンシャルサーチの探索範囲b（あるいは、探索領域b）が、格納部21に格納（準備）されている（ステップ10）。このシーケンシャルサーチの探索範囲bは、取り得る誤差の絶対値の最大値として、「1（バイナリサーチ）－（シーケンシャルサーチ）|MAX」によって求めることができる。

さらに、格納部21には、目標値も格納（準備）されている（ステップ11）。

そして、VD設定部26において、可変遅延回路DL1の初期値（VD可変範囲 τ （1～n）の中間値）の設定が行われる（ステップ12）。

【0051】

次いで、探索制御部27において、格納部21から目標値 E_{xp} 及び（シーケンシャルサーチの）探索範囲bが取り出されて仮目標値算出部28へ送られる。

仮目標値算出部28において、目標値 E_{xp} から、探索範囲bを示す値の半分の値を減じた値（目標値 E_{xp} －探索範囲b/2）が仮目標値 E_{xpB} として算出される（ステップ13）。そして、この算出された仮目標値 E_{xpB} が、仮目標値算出部28から探索制御部27へ送られ、さらに、格納部21へ送られて格納される。

【0052】

続いて、遅延量測定部24において、遅延回路出力部22からの試験パターン信号にもとづいて、この試験パターン信号の遅延量 T_{pd} が測定される（ステップ14）。

そして、この測定結果である遅延量測定値 T_{pd} が、探索制御部27へ送られ

る。

探索制御部27において、遅延量測定値T_{p d}が受け取られると、格納部21から仮目標値E_{x p B}が取り出され、遅延量測定値T_{p d}とともに、バイナリサーチ実行部25へ送られて、バイナリサーチの実行が指示される。

【0053】

バイナリサーチの実行が指示されたバイナリサーチ実行部25において、仮目標値E_{x p B}と遅延量測定値T_{p d}とが一致しているか否かが判断される(ステップ15)。

判断の結果、仮目標値E_{x p B}と遅延量測定値T_{p d}とが異なるときは、続いて、それら仮目標値E_{x p B}と遅延量測定値T_{p d}との大小が比較判断される(ステップ16)。

【0054】

判断の結果、仮目標値E_{x p B}が遅延量測定値T_{p d}より小さいときは、「VD設定値(遅延量設定値)=直前のVD設定値÷対象ビット」が実行されてVD設定値が算出される(ステップ17)。

一方、仮目標値E_{x p B}が遅延量測定値T_{p d}より大きいときは、「VD設定値=直前のVD設定値」が実行されてVD設定値が算出される(ステップ18)。

すなわち、バイナリサーチ実行部25においては、「直前のVD設定値-対象ビット+対象ビットを1ビットLSB側にシフトしたビット」と「直前のVD設定値+対象ビット+対象ビットを1ビットLSB側にシフトしたビット」とを繰り返して LSBまで探索した結果を探索結果としている。

そして、これら算出されたVD設定値が、バイナリサーチ実行部25から探索制御部27へ送られる。

【0055】

探索制御部27において、受け取ったVD設定値がVD設定部26へ送られる。

VD設定部26において、受け取ったVD設定値にもとづいて、DUT入力遅延回路16における可変遅延回路DL1の設定が行われる。

【0056】

この可変遅延回路D L 1 の設定後、遅延量測定部2 4において、再度試験パターン信号の遅延量T p d が測定されて探索制御部2 7へ送られる(ステップ14)。そして、探索制御部2 7において、仮目標値E x p B と遅延量測定値T p d とがバイナリサーチ実行部2 5へ送られて比較判断され(ステップ15)、VD設定値が算出されて(ステップ16～ステップ18)、VD設定部2 6において可変遅延回路D L 1 の設定が行われる。

このようなバイナリサーチにもとづく可変遅延回路D L 1 の設定動作が、仮目標値E x p B と遅延量設定値T p d とが一致するまで繰り返し行われる(ステップ14～ステップ18)。

【0057】

その後、仮目標値E x p B と遅延量測定値T p d とが一致しているものとバイナリサーチ実行部2 5で判断されると(ステップ15)、このバイナリサーチ実行部2 5から探索制御部2 7へ、探索終了信号が送られる。

この探索終了信号を受けた探索制御部2 7において、遅延量測定部2 4に対し、試験パターン信号の遅延量T p d の測定が指示される。

【0058】

遅延量測定部2 4において、遅延回路出力部I/F2 2からの試験パターン信号にもとづいて、その試験パターン信号の遅延量T p d が測定され(ステップ19)、この測定された遅延量T p d (遅延量測定値T p d) が、探索制御部2 7へ送られる。

探索制御部2 7において、遅延量測定部2 4からの遅延量測定値T p d と、格納部2 1から取り出した目標値E x p と、バイナリサーチ実行部2 5において最終的に得られた遅延量設定値とがシーケンシャルサーチ実行部2 9へ送られて、シーケンシャルサーチの実行が指示される。

【0059】

この実行指示を受けたシーケンシャルサーチ実行部2 9において、目標値E x p と遅延量測定値T p d とが一致しているか否かが判断される(ステップ20)。

判断の結果、目標値E x p と遅延量測定値T p d とが異なるときは、次のシ-

ケンシャルサーチにおけるVD設定値が算出される（ステップ21）。このVD設定値の算出は、「直前のVD設定値+VD最小1ビット」によって求めることができる。

そして、この算出されたVD設定値が、探索制御部27を介してVD設定部26へ送られ、このVD設定値にもとづいて、DUT入力遅延回路16の可変遅延回路DL1の設定が行われる。

【0060】

この可変遅延回路DL1の設定後、遅延量測定部24において、再度試験パターン信号の遅延量Tp dが測定されて探索制御部27へ送られる（ステップ19）。そして、探索制御部27において、目標値Ex pと遅延量測定値Tp dとがシーケンシャルサーチ実行部29へ送られて比較判断され（ステップ20）、VD設定値が算出されて（ステップ21）、VD設定部26において可変遅延回路DL1の設定が行われる。

【0061】

このようなシーケンシャルサーチにもとづく可変遅延回路DL1の設定動作が、目標値Ex pと遅延量測定値Tp dとが一致するまで繰り返し行われる（ステップ19～ステップ21）。

そして、目標値Ex pと遅延量測定値Tp dとが一致すると、目標値Ex pの探索が終了する。

【0062】

なお、本発明の探索回路と探索方法は、半導体試験装置のDUT入力遅延回路における可変遅延回路DL1の遅延量Tp dを測定・調整するために用いることには限るものではなく、たとえば、一部に減少を含んだ昇順の数列における目標値Ex pの探索を、バイナリサーチとシーケンシャルサーチとの両方を用いて行う場合に用いることができる。

たとえば、比較器13における比較タイミング遅延回路17の可変遅延回路DL2の設定（応答出力信号と期待値パターンとの比較判断にもとづくDL2の遅延量の設定）や、基準クロック発生器15（タイミング信号発生回路）における基準クロック信号CLK（タイミング信号）の出力タイミングの調整などに用い

ることができる。

【0063】

【発明の効果】

以上のように、本発明によれば、探索対象である数列（例えば、試験パターン信号の遅延量 $T_{p d}$ ）が一部に減少を含んだ昇順数列（例えば、鋸歯状の波形等）を示すものであって、バイナリサーチの特性とシーケンシャルサーチの特性との間に差異が生じる場合であっても、確実かつ正常に目標値を探索することができる。

さらに、バイナリサーチとシーケンシャルサーチとを組み合わせて目標値を探索するため、測定精度の低下防止と、探索時間の短縮とを両立させることができる。

【図面の簡単な説明】

【図1】

本発明の探索回路の構成を示すブロック図である。

【図2】

図1の探索回路を接続した半導体試験装置の構成を示すブロック図である。

【図3】

可変遅延回路における遅延量 $T_{p d}$ の変化を示すグラフである。

【図4】

本発明の探索回路の動作を示すフローチャートである。

【図5】

従来の半導体試験装置の構成を示すブロック図である。

【図6】

従来の半導体試験装置について、より具体的な構成を示すブロック図である。

【図7】

バイナリサーチによる目標値の探索の経緯を示すグラフである。

【図8】

従来の半導体試験装置における $T_{min} - VD$ 設定値に対する遅延量 $T_{p d}$ の変化を示すグラフである。

【図9】

図8に示した遅延量 T_{pd} の変化におけるバイナリサーチの探索ルートとシーケンシャルサーチの探索範囲とを示すグラフである。

【図10】

従来の半導体試験装置におけるバイナリサーチのVD遅延特性とシーケンシャルサーチのVD遅延特性とを示すグラフである。

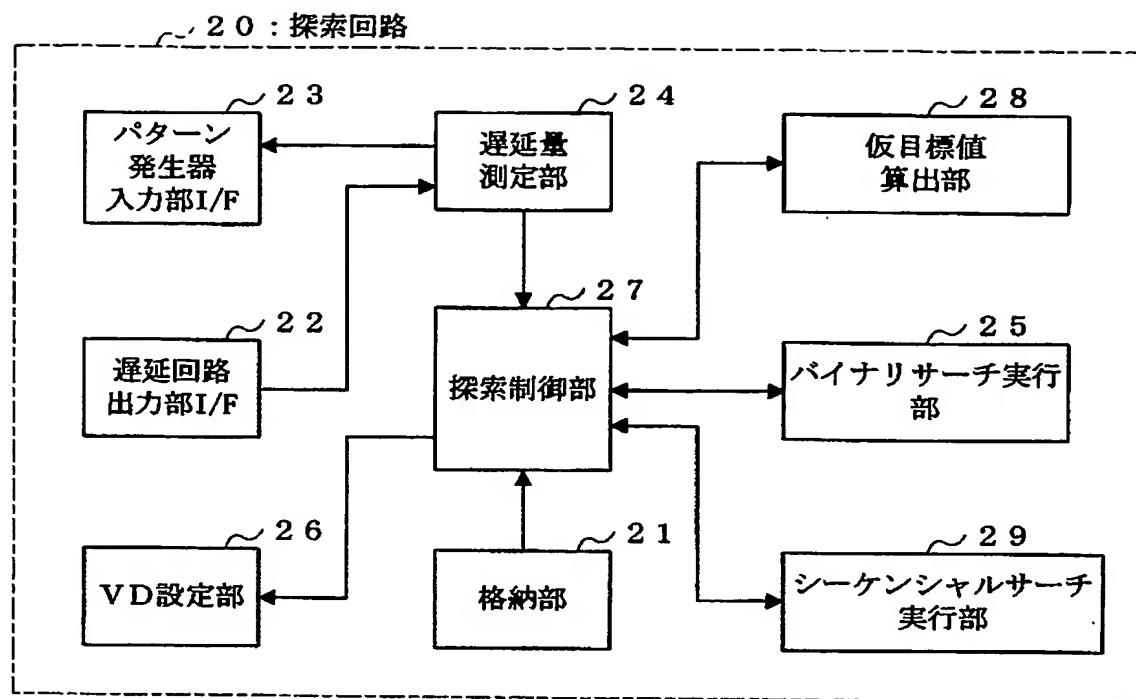
【符号の説明】

- 1 0 半導体試験装置
- 1 1 試験パターン発生器
- 1 2 D U T
- 1 3 比較器
- 1 4 メモリ
- 1 5 基準クロック発生器
- 1 6 D U T入力遅延回路
- 1 7 比較タイミング遅延回路
- 1 8 制御部
 - 1 8-1 D F / F
 - 1 8-2 不一致回路
 - 1 8-3 D F / F
- 1 9 F / F
- 2 0 探索回路
- 2 1 格納部
- 2 2 遅延回路出力部 I / F
- 2 3 試験パターン発生器入力部 I / F
- 2 4 遅延量測定部
- 2 5 バイナリサーチ実行部
- 2 6 VD設定部
- 2 7 探索制御部
- 2 8 仮目標値算出部

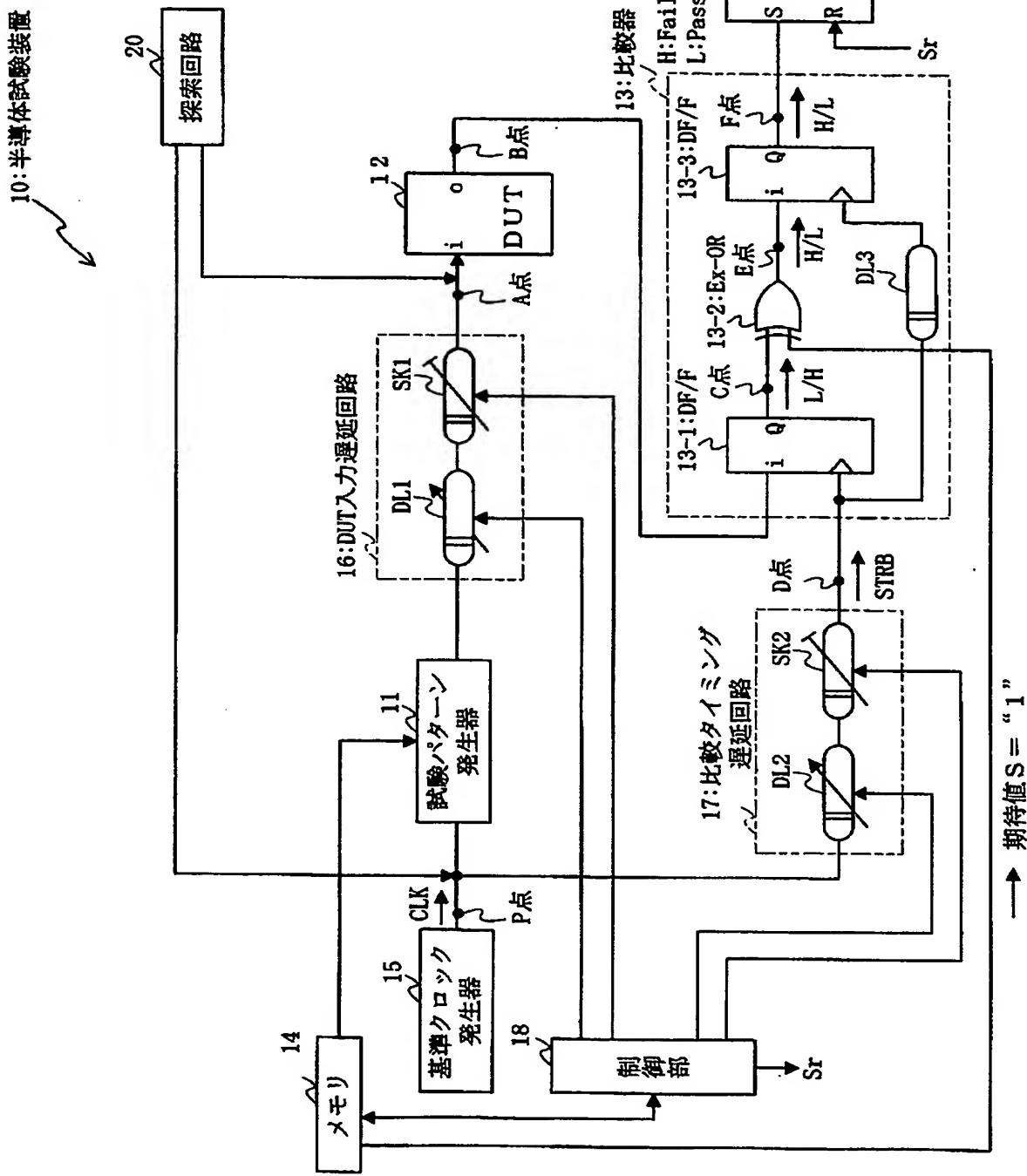
29 シーケンシャルサーチ実行部
DL1, DL2, SK1, SK2 可変遅延回路

【書類名】 図面

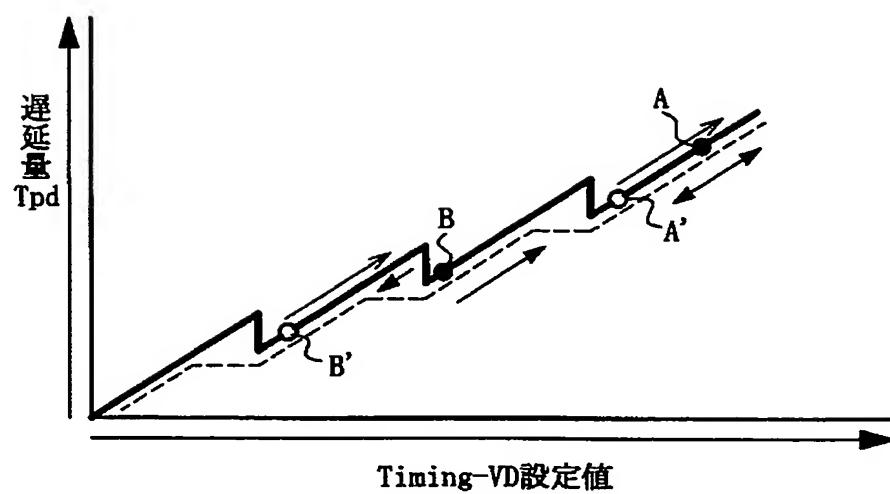
【図1】



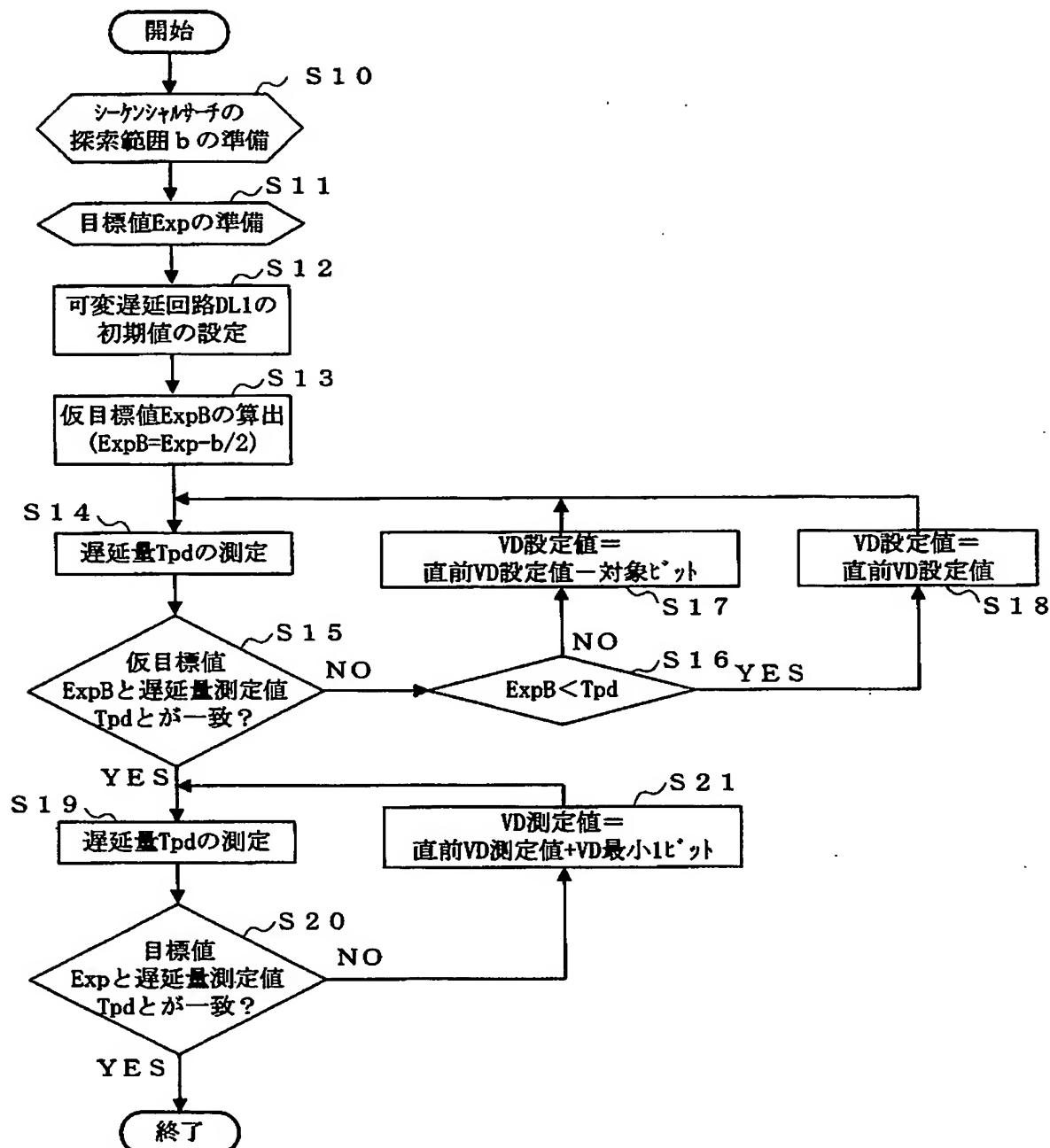
【図2】



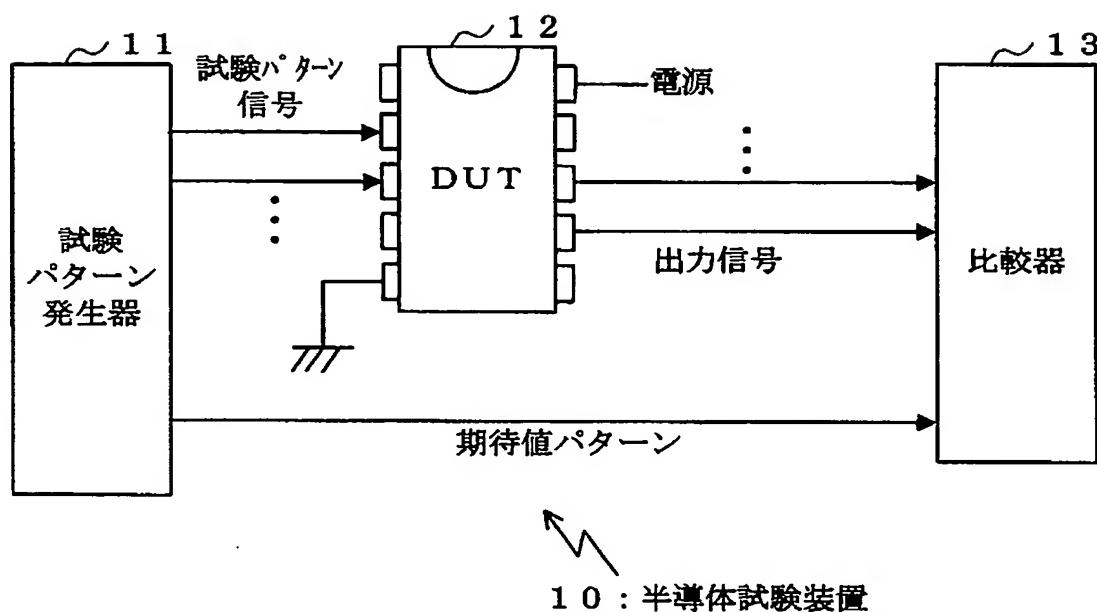
【図3】



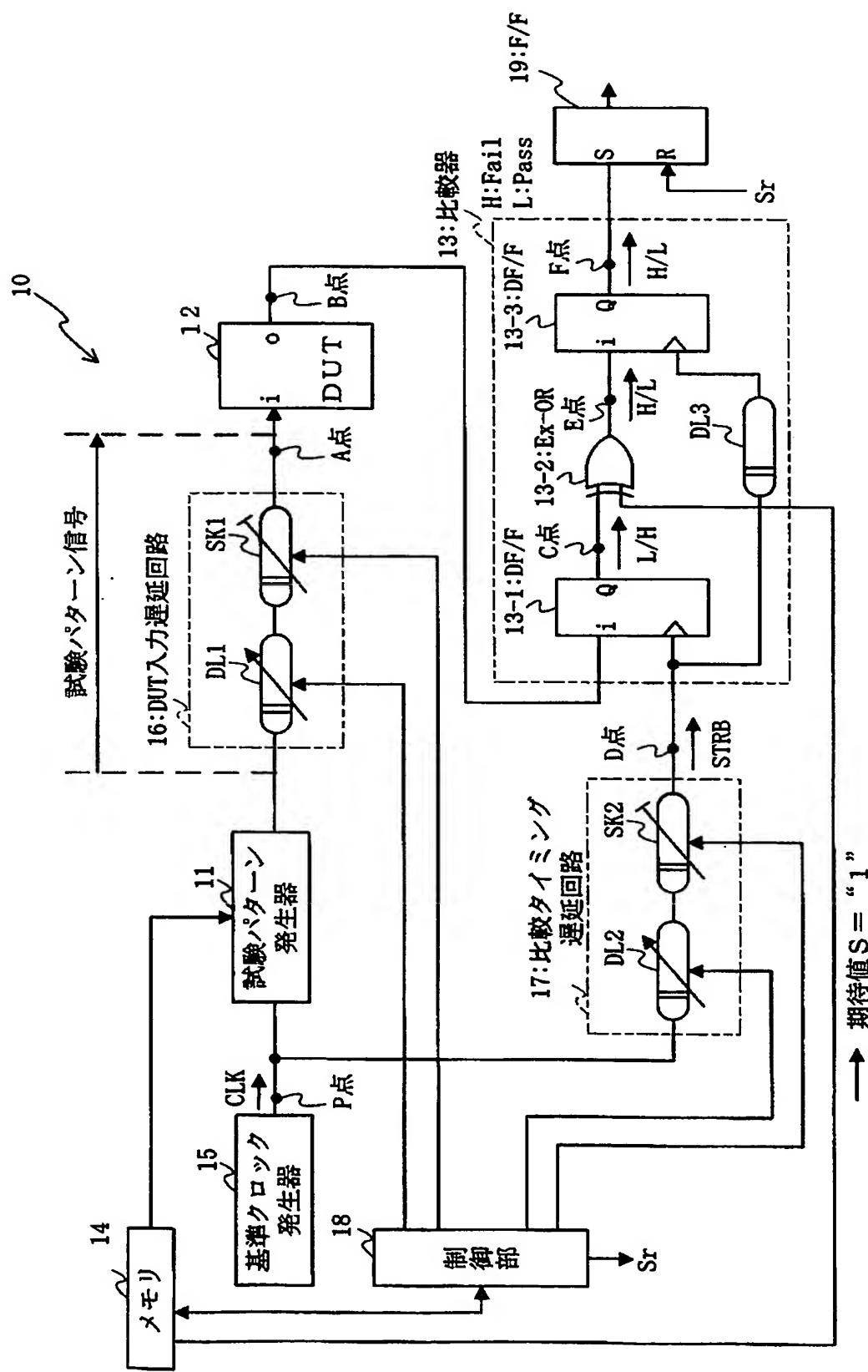
【図4】



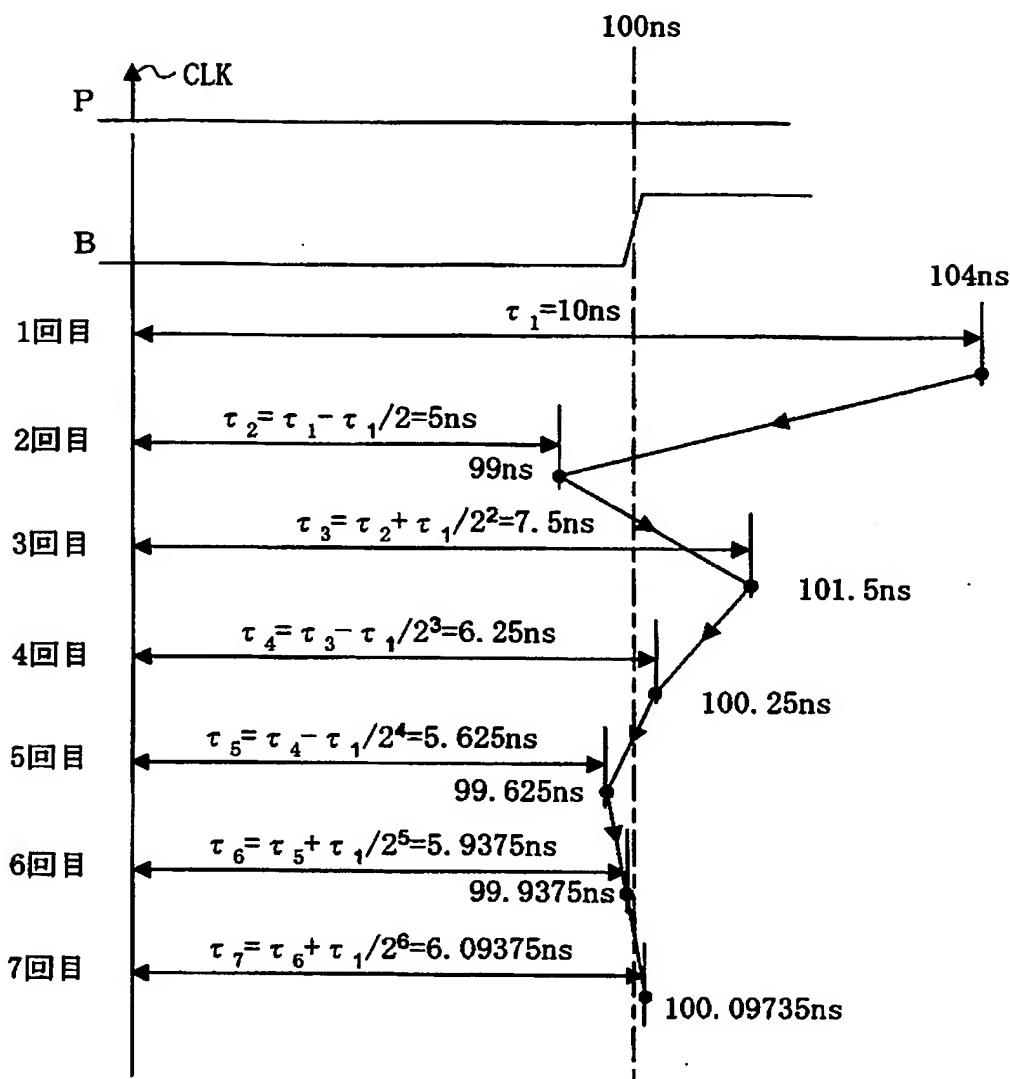
【図5】



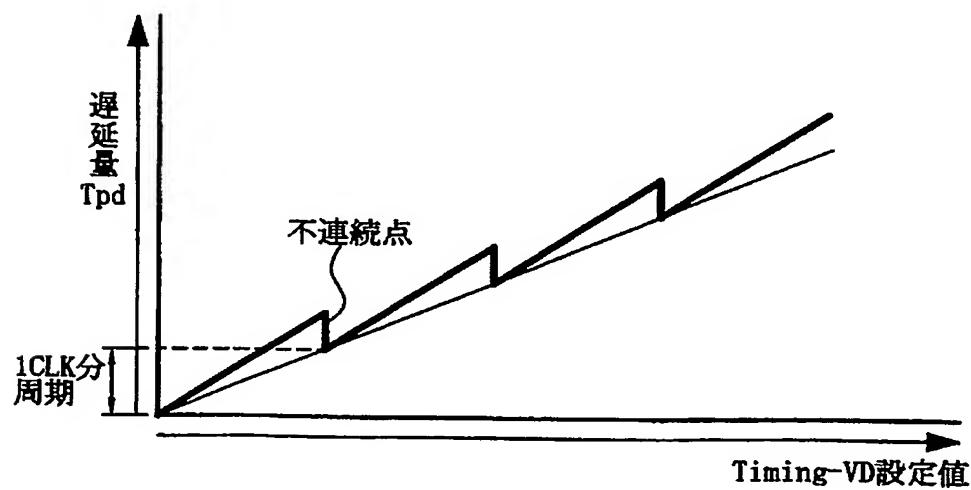
【図6】



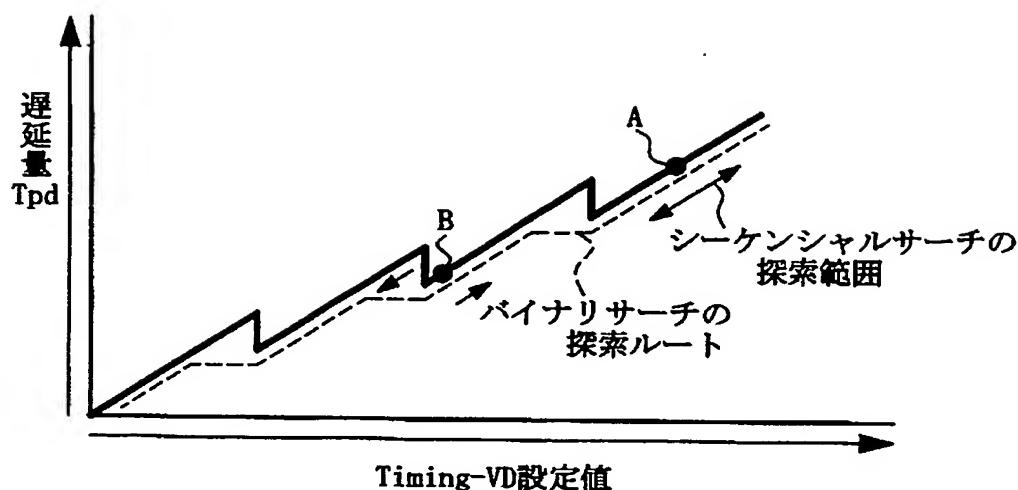
【図7】



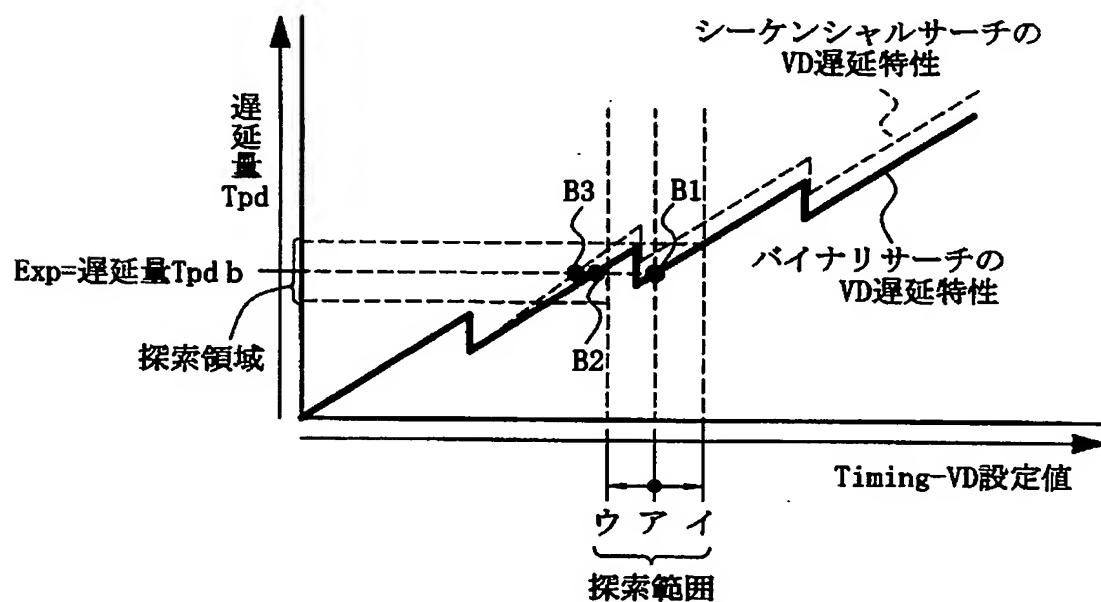
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 測定精度の低下防止と探索時間の短縮とを両立させるとともに、探索対象である数列が一部に減少を含んだ昇順数列を示すものであっても、確実かつ正常に目標値を見つけ出す。

【解決手段】 仮目標値算出部28において、目標値 E_{xp} から所定値が減ぜられ仮目標値 E_{xpB} として算出される。この仮目標値 E_{xpB} を含む一定領域まで、バイナリサーチ実行部25でバイナリサーチが実行され探索領域が絞り込まれる。次いで、シーケンシャルサーチ実行部29において、その絞り込まれた探索領域内で、仮目標値 E_{xpB} を起点として、増加方向へ目標値 E_{xp} が探索される。

【選択図】 図1

特願 2002-310146

出願人履歴情報

識別番号 [390005175]

1. 変更年月日 1990年10月15日
[変更理由] 新規登録
住所 東京都練馬区旭町1丁目32番1号
氏名 株式会社アドバンテスト

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.